



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 95118322.2

[43] 授权公告日 2003 年 3 月 12 日

[11] 授权公告号 CN 1103121C

[22] 申请日 1995.11.7 [21] 申请号 95118322.2
[30] 优先权
[32] 1995. 4. 6 [33] US [31] 08/419,636
[71] 专利权人 财团法人工业技术研究院
地址 中国台湾
[72] 发明人 柯明道 吴添祥
审查员 孙履平

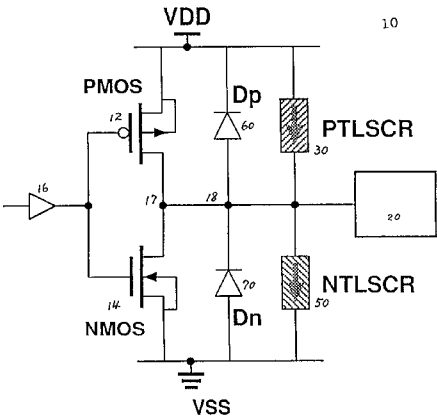
[74] 专利代理机构 永新专利商标代理有限公司
代理人 徐 娴

权利要求书 4 页 说明书 17 页 附图 7 页

[54] 发明名称 具有静电防护能力的 CMOS 输出缓冲器

[57] 摘要

一种具有静电防护能力的 CMOS 输出缓冲器，其是在横向控整流器结构中插入一个短通道薄氧化层 PMOS 元件构成的 PTLSCR 元件，和一个在横向硅控整流器结构中插入一个短通道薄氧化层 NMOS 元件构成的 NTLSCR 元件构成；这些元件将横向硅控整流器的导通电压由原来的开关电压降低至这些金氧半导体元件的快反向击穿电压；电路还包括两个寄生二极管；即在输出缓冲器和 VDD 之间的二极管，和在输出缓冲器和 VSS 之间的二极管。



ISSN 1008-4274

1. 一个具有静电防护能力的互补式金属氧化物半导体输出缓冲器,其包括:

一薄氧化层PMOS元件及一薄氧化层NMOS元件,该PMOS元件的源极接到VDD电压源;该NMOS元件的源极接到VSS电压源,该PMOS元件与NMOS元件的漏极连接在一起并连接到一个输出垫上;

一个第一低电压触发硅可控整流器连接于VDD与该输出垫之间,以防护ND模式的静电放电;

一个第二低电压触发硅可控整流器连接于该输出垫与VSS之间以防护PS模式的静电放电;

一个第一寄生二极管连接于VDD与输出垫之间以防护PD模式的静电放电;以及

一个第二寄生二极管连接于输出垫与VSS之间以防护NS模式的静电放电。

2. 根据权利要求1所述的具有静电防护能力的互补式金属氧化物半导体输出缓冲器,其特征在于,还具有一个P型井区/N型基底结构。

3. 根据权利要求1所述的具有静电防护能力的互补式金属氧化物半导体输出缓冲器,其特征在于,还具有一个N型井区/P型基底结构。

4. 根据权利要求1所述的具有静电防护能力的互补式金属氧化物半导体输出缓冲器,其特征在于,所述第一低电压触发硅可控整流器具有一横向硅可控整流结构,其阳极连接到VDD,其阴极连接到该输出垫,此第一低电压触发硅可控整流器内含有一PMOS元件,此PMOS元件在其漏极瞬间反向击穿时触发所述硅可控整流器导

通。

5. 根据权利要求1所述的具有静电防护能力的互补式金属氧化物半导体输出缓冲器,其特征在于,所述第二低电压触发硅可控整流器具有一横向硅可控整流器结构,其阳极连接到输出垫,其阴极连接到VSS,此第二低电压触发硅可控整流器内含有一NMOS元件,此NMOS元件在其漏极瞬间反向击穿时触发所述硅可控整流器导通。

6. 一种具有静电防护能力的互补式金属氧化物半导体输出缓冲器,其包括:

一个第一PMOS元件与一个第一NMOS元件,此两元件的漏极连接在一起且接到一个输出垫,第一PMOS元件的源极接到第一参考电压源,第一NMOS元件的源极接到第二参考电压源;

一个第一横向硅可控整流器,其阳极接到第一参考电压,其阴极接到该输出垫,并包含一个第二PMOS元件,此第二PMOS元件在其漏极瞬间反向击穿时导通所述第一横向硅可控整流器;以及

一个第二横向硅可控整流器,其阳极接到所述输出垫,其阴极接到第二参考电压,并包含有一个第二NMOS元件,第二NMOS元件在其漏极瞬间反向击穿时导通所述第二横向硅可控整流器。

7. 根据权利要求6所述的互补式金属氧化物半导体输出缓冲器,其特征在于,还包含一个第二寄生二极管,连接于所述输出垫与第二参考电压之间。

8. 根据权利要求6所述的互补式金属氧化物半导体输出缓冲器,其特征在于,还包含一个第二寄生二极管连接于所述输出垫与第二参考电压之间。

9. 一种用来提供集成电路输出缓冲器抗静电放电的半导体器件,其包含一个第一低电压触发横向硅可控整流器,该第一低电压触发横向硅可控整流器做在一半导体基底上,其阳极接到一个第一参考电

压，其阴极接到该集成电路的一个输出垫，第一低电压触发横向硅可控整流器内含有一PMOS元件，该PMOS元件在其漏极瞬间反向击穿时导通此第一低电压触发横向硅可控整流器；

该半导体器件还包含一第二低电压触发横向硅可控整流器，与所述第一横向低电压触发横向硅可控整流器做在同一半导体基底上，并且其阳极连接到所述输出垫，其阴极连接到一个第二参考电压，第二低电压触发横向硅可控整流器内含有一NMOS元件，此NMOS元件在其漏极瞬间反向击穿时导通所述第二低电压触发横向硅可控整流器。

10. 根据权利要求9所述的半导体器件，其特征在于，所述第一低电压触发横向硅可控整流器的阴极包含一N型浓掺杂区，在一N型井区内，共同做在一P型基底上。

11. 根据权利要求9所述的半导体器件，其特征在于，所述第一低电压触发横向硅可控整流器的阴极包含一N型浓掺杂区在一P型区内，共同做在一N型基底上。

12. 根据权利要求9所述的半导体器件，其特征在于，所述PMOS元件的漏极跨接在该半导体基底与一第一井区的接面上，其源极跨接在该半导体基底与一第二井区的接面上，该半导体基底是一第一型的掺杂，而该第一井区与该第二井区是一第二型的掺杂。

13. 根据权利要求9所述的半导体器件，其特征在于，所述PMOS元件的漏极是一P型浓掺杂区。

14. 根据权利要求9所述的半导体器件，其特征在于，还包含一薄氧化层PMOS元件，此薄氧化层PMOS元件与所述第一低电压触发横向硅可控整流器合并在一起，此PMOS元件的漏极由平行的P型浓掺杂区做在同一半导体基底而成，且此薄氧化层PMOS元件在布局上与所述第一低电压触发横向硅可控整流器平行并联。

15. 根据权利要求9所述的半导体器件，其特征在于，所述第

二低电压横向硅可控整流器的阳极是由一P型浓掺杂区在一N型井区内；做在同一P型基底上所组成。

16. 根据权利要求9所述的半导体器件， 其特征在于， 所述第二低电压触发横向硅可控整流器的阳极是由一P型浓掺杂区在一P型井区内， 做在同一N型基底上所组成。

17. 根据权利要求9所述的半导体器件， 其特征在于， 所述NMOS元件的漏极跨接在所述半导体基底与一第一井区的接面上， 其源极跨接在该半导体基底与一第二井区的接面上， 该半导体基底是第一型的掺杂， 而该第一井区与该第二井区为一第二型的掺杂。

18. 根据权利要求9所述的半导体器件， 其特征在于， 所述NMOS元件的漏极为一N型浓掺杂区。

19. 根据权利要求9所述的半导体器件， 其特征在于， 其还包含一薄氧化层NMOS元件， 与所述第二低电压触发横向硅可控整流器合并在一起， 其中NMOS元件的漏极由平行的N型浓掺杂区做在同一半导体基底而成， 且薄氧化层NMOS元件在布局上与所述第二低电压触发横向硅可控整流器平行并联。

具有静电防护能力的 CMOS 输出缓冲器

本发明涉及一种集成电路中的缓冲器，特别是一种具有静电防护能力的互补式金属氧化物半导体输出缓冲器。

次微米互补式金属氧化物半导体集成电路因静电放电（ESD）防护能力不足而受损害。当互补式金属氧化物半导体技术进步到次微米境界，元件的各种结构和过程，例如更薄的栅氧化层（gate oxide），更短的通道长度（channel length），更浅的源极/漏极接面，低掺杂浓度的漏极（drain）结构，以及金属硅化物的扩散层（silicided diffusion），大大地降低了互补式金属氧化物半导体集成电路的静电放电防护能力。相关的参考文献请参阅C. 杜威里及A. 安拉塞克拉，“ESD：关于 IC 技术的普遍可靠性”，proc. of IEEE 81卷5号第690-702页，1993年5月，以及A. 安拉塞克拉及C. 杜威里，“缩放技术对 ESD 健壮性及保护电路设计的影响”，1994 EOS / ESD Symp. proc. EOS-16，第237-245页。

特别地，在互补式金属氧化物半导体集成电路输出缓冲器（Output buffer）内的N型金属氧化物半导体（NMOS）与P型金属氧化物半导体（PMOS）的漏极是通常直接连接到输出垫（output pad）去推动外面的负载。由于输出缓冲器直接与外界接触，当它用次微米技术制造时，其静电放电防护能力降低许多。为了提高互补式金属氧化物半导体输出缓冲器的静电放电防护能力并增加输出及推动外界负载的能力，在输出缓冲器内的NMOS与PMOS元件因而被设计得具有很大的尺寸。然而，即使其有如此

大尺寸的元件，当次微米互补式金属氧化物半导体制造技术用于制造时，输出缓冲器的静电放电防护能力依然被次微米制造技术所降低。相关参考文献请参见 T. L. 珀尔格林和 A. 查特吉，“通过保证均匀的电流改善硅化物 NMOS 输出晶体管的 ESD 故障阈值”，*IEEE Trans. Electron Devices*，39 卷 2 号，第 379-388 页，1992 年；C. 杜威里、C. 戴兹及 T. 哈多克，“为亚微米 ESD 可靠性达到均匀的 NMOS 器件功率分布”，1992 年，*IEDM Technical Digest*，第 131-134 页；以及 C. 杜威里 C. 戴兹，“对于有效输出 ESD 保护的 NMOS 的动态栅极耦合”，*proc. of IRPS*，第 141-150 页，1992 年。

为改进次微米互补式金属氧化物半导体输出缓冲器静电放电防护能力，一些次微米互补式金属氧化物半导体处理技术中增设了一层“ESD Implant”（防静电放电插入片）光罩，特别制造具有较强的元件结构在互补式金属氧化物半导体输出缓冲器内以提升其静电放电防护能力。然而，这些增加的处理步骤及光罩会增加集成电路的制造成本。

另外一种做法是在互补式金属氧化物半导体输出缓冲器与输出垫之间加入一些静电放电防护元件来提升次微米互补式金属氧化物半导体输出缓冲器的静电防护能力。

在 Y.-J. B. 刘和 S. 卡盖里娜，“用于 CMOS 集成电路输出的静电放电保护器件”，美国专利号 4,734,752 专利中，一种厚氧化层（N 型）元件用来与互补式金属氧化物半导体输出缓冲器内的 N 型金属氧化物半导体（NMOS）并联在一起以提升互补式金属氧化物半导体输出缓冲器的静电放电防护能力。在 T. C. 陈和 D. S. 卡尔文，“ESD 保护电路”，美国专利号 5,329,143 文献中，一种横向 N-P-N 双载子晶体管用来与互补式金属氧化物半导体输

出缓冲器内的N型金属氧化物半导体(NMOS)并联在一起,以提升其静电放电防护能力。但是厚氧化层元件与横向N-P-N双载子金属氧化物半导体的导通电压一般都比短通道薄氧化层N型金属氧化物半导体(Short-channel thin-oxide NMOS)高。因此,在互补式金属氧化物半导体输出缓冲器内的薄氧化层N型金属氧化物半导体在遭受静电放电时会先被导通。因此,用上述两种并联元件以提升输出缓冲器的静电放电防护能力的效果很小。

另外,在D. B. 斯科特、P. W. 玻歇特及I. D. 伽利亚,“改善静电放电保护的电路”,美国专利号5, 019, 888, 文献中,输出缓冲器中大尺寸的薄金属氧化物半导体NMOS元件被拆分成多个小尺寸的NMOS元件彼此并联在一起,并在每一小尺寸的NMOS元件加入一串联电阻以提升其静电放电防护能力。在K. F. 李、A. 李, M. L. 马麦特和K. W. 欧阳,“具有双态电阻特性的静电放电保护电路”,美国专利号5, 270, 565, 文献中,一厚氧化层元件接到输出垫用来与输出缓冲器内的薄氧化层NMOS元件并联,并在薄氧化层NMOS元件的漏极加入一N型井区(N-well)所做的电阻串联至输出垫上,以提升其静电放电防护能力。在G. N. 罗伯斯,“输出ESD保护电路”,美国专利号5, 218, 222 文献中,一横向N-P-N双载子晶体管接到输出垫上与输出缓冲器内的NMOS元件并联,并在输出缓冲器与输出极之间加入一串联电阻,以提升其静电放电防护能力。在上述三份文献中,都增加了串联电阻在输出缓冲器与输出垫之间,这些额外增加串联电阻虽然能提升次微米互补式金属氧化物半导体输出缓冲器的静电放电防护能力,但也限制了输出缓冲器的输出推动能力,而且输出讯号也会因串联电阻而增加延迟时间。因此,用加入串联电阻方式使得输出缓冲器在高速或在有重负载时的应用受到限制。

此外,横向硅可控整流器(SCR)元件也被当做静电放电防护

元件用于次微米互补式集成电路之中，以提升静电放电防护能力。横向硅可控整流器已被发现能在最小的布局面积内提供最高的静电放电防护能力。在A. 查特吉和T. 珀尔格林，“在输出和输入垫用于片上ESD保护的低压触发SCR”，IEEE Electron Device Letters, 12卷1号，第21-22页，1991年1月；及A. 查特吉和T. 珀尔格林，“在输出和输入垫用于片上ESD保护的低压触发SCR”，Proc. of 1990 Symposium on VLSI Technology, 第75-76页等文献中，一种改良型的横向硅可控整流器结构叫做LVTSRR (Low-Voltage Trigger SCR, 低压触发硅可控整流器) 被用来与输出缓冲器的NMOS元件并联以提升静电放电防护能力。此种LVTSRR元件能够有效地提升次微米互补式金属氧化物半导体集成电路输出缓冲器的静电放电防护能力，而且不需要加上串联电阻于输出缓冲器与输出垫之间。

因为静电放电(ESD)在IC的某一输入或输出脚可能是具有正的或负的电压极性对VDD(IC的高电压源)或VSS(IC的低电压源)脚放电，因此对一互补式金属氧化物半导体输出缓冲器的输出脚而言，会有四种不同的放电情形；

(1) PS模式：当VDD脚浮接，而静电放电在某一输出脚相对于VSS脚具有正的电压极性；

(2) NS模式：当VDD脚浮接，而静电放电在某一输出脚相对于VSS脚具有负的电压极性；

(3) PD模式：当VSS脚浮接，而静电放电在某一输出脚相对于VDD脚具有正电压极性；

(4) ND模式：当VSS脚浮接，而静电放电在某一输出脚相对于VDD脚具有负的电压极性。

以上这四种放电模式在一输出脚会损伤互补式金属氧化物半导体

(CMOS) 集成电路 (IC) 中的输出缓冲器内的 N 型金属氧化物半导体 (NMOS) 及 P 型金属氧化物半导体 (PMOS) 元件。

而集成电路某一脚的静电放电故障阈值 (ESD failure threshold) 定义为该脚在四种静电放电模式中所能承受的最低静电放电电压。例如若有某一输出脚在 PS, NS, 及 PD 模式下可承受 6 千伏特的静电放电电压, 但在 ND 模式下只能承受 1 千伏特的静电放电电压, 那么这一输出脚的静电放电故障阈值只有 1 千伏特而已。在前面所提及的各种参考文献中, 静电放电防护措施都加强在输出脚对 VSS 端, 所增加的并联元件也都只放在输出垫与 VSS 端, 所增加的并联元件也都只放在输出垫与 VSS 端之间, 而没有静电放电防护元件被加在输出垫与 VDD 端之间。当这种输出缓冲器在 ND 模式或 PD 模式静电放电测试时, 输出缓冲器内的 PMOS 元件 (连接在输出极与 VDD 之间) 易遭受静电放电所破坏, 所以输出脚的 ESD 故障阈值并未能被有效地提升。因此一个输出缓冲器静电放电路防护电要能够提供上述四种静电放电模式的防护能力, 才能有效地提升次微米互补式金属氧化物半导体集成电路的静电放电防护能力。

因此, 本发明的目的是要克服上述参考文献中的缺陷以全方位提升次微米互补式输出缓冲器的静电放电防护能力。在本发明中, 提出了用 2 个低电压触发硅可控整流器与双个二极管安排成互补式连接方式来防双四种 (PS, NS, PD 及 ND) 模式的静电放电。并且把这种全方位静电放电防护电路与互补式金属氧化物半导体输出缓冲器内的 NMOS 与 PMOS 元件在布局上适当地互相溶合以节省布局面积。本发明能够在较小的布局面积内 (含输出缓冲器与静电放电防护电路) 提供较高的 ESD 故障阈值, 并且, 在本发明中没有使用串联电阻在输出缓冲器与输出垫之间, 故输出缓冲器的输出推动力与输出讯号的延迟时间 (delay) 不会受到影响。

本发明是有关于一个具有强化静电放电防护能力的互补式金属氧化物半导体输出缓冲器。

在互补式金属氧化物半导体输出缓冲器中,有一个连成反相器(inverter)的电路,其中有一薄氧化层的PMOS元件与一薄氧化层的NMOS元件。此PMOS元件的源极接到VDD,漏极接到输出端;此NMOS元件的源极接到VSS,漏极也接到输出端;此一共同输出端连接到输出垫片上以便IC接脚包装之用。此PMOS与NMOS元件的输入栅极(gate)即连接到IC内部电路,受IC内部电路所控制。

为提供静电放电防护,本发明使用了两个寄生的二极管与两个寄生的低电压触发硅可控整流器当作静电放电防护元件来防护四种(P S, N S, P D, 及N D)模式的静电放电。第一个寄生的二极管D_p与输出缓冲器的PMOS元件并联, D_p的阳极接到输出垫片上,其阴极接到VDD,此D_p被用来防护PD模式的静电放电。第二个寄生的二极管D_n与输出缓冲器的NMOS元件联, D_n的阳极接到VSS, D_n的阴极接到输出垫片,此D_n被用来防护NS模式的静电放电。第一个低电压触发的硅可控整流器是一个PMOS触发横向硅可控整流器叫做PTLSCR(PMOS-Trigger Lateral SCR),此PTLSCR元件与输出缓冲器内的PMOS元件并联在输出垫片与VDD之间,此PTLSCR元件被用来防护ND模式的静电放电。第二个低电压触发硅可控整流器是一个NMOS触发横向硅可控整流器叫做NTLSCR(NMOS-Trigger Lateral SCR),此NTLSCR元件与输出缓冲器内的NMOS元件并联于输出垫片与VSS之间,此NTLSCR元件被用来防护PS模式的静电放电。因此输出脚的四种静电放电都被一对一的元件所防护,故其ESD故障阈值能够明显地被提升。

此PTLSCR元件是把一短通道薄氧化层PMOS元件并入一横向硅可控整流器结构中而成；此NTLSCR元件是把一短通道薄氧化层NMOS元件并入一横向硅可控整流器结构中而成。这短通道薄氧化层PMOS与NMOS元件被设计用来触发横向硅可控整流器。当此PTLSCR元件遭受ND模式静电放电时，其内所并入的PMOS元件的漏极会瞬间反向击穿（Snap back breakdown）而触发此PTLSCR元件导通来旁通静电放电的电流。当此NTLSCR元件遭受PS模式静电放电时，其内所并入的NMOS元件的漏极会瞬间反向击穿而触发NTLSCR元件导通来旁通（bypass）静电放电电流。因此，此PTLSCR与NTLSCR的触发电压（trigger voltage）被降低到PMOS与NMOS元件瞬间反向击穿电压（约在13~15V之间）而不再是原本硅可控整流器的触发电压（约在30~50V）。故此PTLSCR与NTLSCR能够被设计的比互补式金属氧化物半导体输出缓冲器内的PMOS与NMOS元件来得更早导通以防护静电放电对输出缓冲器的破坏。

此发明可以实现于任何互补式金属氧化物半导体（CMOS）或双载子互补式金属氧化物半导体（BiCMOS）制作过程中，不管是用N型井区 / P型基底，P型井区 / N型基底，或双区的制造过程技术。

虽然在本发明中加入了PTLSCR与NTLSCR元件于互补式金属氧化物半导体输出缓冲器中，但其中有共用的部份可与输出缓冲器内的元件共用以减少布局面积。因此，与传统（或前人所提出）的设计相比，本发明能够在相对较小的布局面积下，提供互补式金属氧化物半导体输出缓冲器更高的静电放电防护能力。

附图简单说明：

图 1：为本发明的电路连接示意图；

图 2：为根据本发明中互补式金属氧化物半导体输出缓冲器内的 PMOS 元件与 PTLSCR 元件合并制作于 P 型基底的剖面图；

图 3：为根据本发明中互补式金属氧化物半导体输出缓冲器内的 NMOS 元件与 NTLSCR 元件合并制作于 P 型基底的剖面图；

图 4：为根据本发明中互补式金属氧化物半导体输出缓冲器内的 PMOS 元件与 PTLSCR 元件合并制作于 N 型基底的剖面图；

图 5：为根据本发明中互补式金属氧化物半导体输出缓冲器内的 NMOS 元件与 NTLSCR 元件合并制作于 N 型基底的剖面图；

图 6：为图 2 的俯视图；

图 7：为图 3 的俯视图。

结合附图及实施例对本发明的特征说明如下：

A. 电路结构

图 1 即为此发明的电路示意图。在图 1 中显示了具有静电放电防护能力的互补式金属氧化物半导体输出缓冲器 10。

输出缓冲器 10 包括了一把输出电压电平提高的薄氧化层 PMOS 元件 12 及一把输出电压准们降低的薄氧化层 NMOS 元件 14。PMOS 元件 12 的源极接到 VDD，NMOS 元件 14 的源极接到 VSS。此 PMOS 元件 12 与 NMOS 元件 14 的漏极接在一起形成一输出端 17，此输出端 17 经一连接线 18 接到一输出垫 20 去。前置级 16 为 IC 内部电路用来输出信号到此输出缓冲器 10 的栅极去，以控制输出垫上的电压电平。

为提升静电放电防护能力。一 PTLSCR 元件 30 与 PMOS 元件 12 并联于 VDD 与连线 18 之间；一 NTLSCR 元件 50 与 NMOS 元件 14 并联于连接线 18 与 VSS 之间。

在此互补式输出缓冲器 10 内也包括了两个寄生的二极管 Dp60 与 Dn70。Dp 二极管 60 与 PMOS 元件 12 并联且其阳极接

到连接线 18。D_n二极管 70 与 NMOS 元件 14 并联且其阳极接到 VSS。

PTLSCR 元件 30 用来防护 ND 模式的静电放电。D_p 二极管 60 用来防护 PD 模式的静电放电。NTLSCR 元件 50 用来防护 PS 模式的静电放电。D_n 二极管 70 用来防护 NS 模式的静电放电。因此在输出垫 20 上会发生的四种静电放电模式都被一对一地防护著而且此 PTLSCR, NTLSCR, D_n 及 D_p 元件能够提供快速且直接的静电放电途径来旁通静电放电电流。

PTLSCR (NTLSCR) 元件的导通电压, 等效于并入 PTLSCR (NTLSCR) 元件的短通道薄氧化层 PMOS (NMOS) 元件的瞬间反向击穿电压, 而非原本横向硅可控整流器的触发电压。此短通道薄氧化层 PMOS 与 NMOS 元件的瞬间反向击穿电压随制造过程不同而异, 但一般而言此瞬间反向击穿电压都比薄氧化层的击穿电压来得低。另外, 此瞬间反向击穿电压也与其通道长度有关, 一般而言较短通道的 PMOS 与 NMOS 元件, 其瞬间反向击穿电压也较低。

因此, 要用 PTLSCR 元件 30 (NTLSCR 元件 50) 来防护 PMOS 元件 12 (NMOS 元件 14) 免于静电放电所破坏, 则在 PTLSCR 元件 (NTLSCR) 内并入的 PMOS (NMOS) 的通道长度要比输出缓冲器中的 PMOS 元件 12 (NMOS 元件 14) 的通道长度来得短一些, 如此 PTLSCR 元件 30 (NTLSCR 元件 50) 的导通电压将比 PMOS 元件 12 (NMOS 元件 14) 的瞬间反向击穿电压低, 故其可先导通来旁通静电放电电流以保护输出缓冲器。

由于硅可控整流器先天上具有很好的电能传导性, 其对静电放电的耐压能力很高 (比起其他静电放电防护元件), 故在本发明中输出缓冲器与输出垫之间不用加入串联电阻即可有效地提升输出缓冲器对

静电放电的防护能力而不会增加输出信号的延迟时间，也不会影响输出缓冲器的输出能力。

B. 元件结构

图2即为图1中的PMOS元件12与PTLSCR元件30的元件剖面图。在图2中，PTLSCR元件30与PMOS元件12合并在一起，制作于N型井区/P型基底的制造过程，以节省布局面积。

如同图2的半导体结构100所示，在P型基底32/N型井区34中，PMOS元件12是由P型浓掺杂区31与33组成。浓掺杂区31为PMOS元件12的源极，此源极连接到VDD。浓掺杂区33为PMOS元件的漏极，此漏极连接到输出垫20去。PMOS元件12的栅极35则连接到前置级16去。此外，有N型浓掺杂区45与47在同一N型井区34内，这些浓掺杂区45与47连接到VDD提供了N型井34的电压偏压，也形成了PMOS元件12的基体(bulk)

在图2中，有一寄生二极管Dp60形成于N型井区34与P型浓掺杂区33之接面。此外，有一P型浓掺杂区98做在P型基底32上为一防止锁住(latchup)效应的保护圈环，此一保护圈环在布局上会把PMOS元件12与PTLSCR元件30包围其内。此P型浓掺杂区98连接到VSS。

在PTLSCR元件30中，包含一横向硅可控整流器(由P型浓掺杂区70，N型井区34，P型基底32，及另一N型井区36包含N型浓掺杂区72所组成)与一个短通道薄氧化层PMOS元件90。此并入PTLSCR元件30内的PMOS元件90包含了一P型浓掺杂区70当它的源极连接到VDD，另一P型浓值布区80跨做在N型井区34与P型基32接面之间当做PMOS元件90的漏极，此漏极不连接到任何地方，只跨做在那个接面之间。另外，此

P M O S 元件 9 0 的栅极 8 2 则连接到 V D D 。

把 P M O S 元件 9 0 并入横向硅可控整流器而形成 P T L S C R 元件 3 0 的目的, 在于利用 P M O S 元件 9 0 的漏极 8 0 在瞬间反向击穿 (s n a p b a c k b r e a k d o w n) 情形下来触发横向硅可控整流器导通, 当此 P T L S C R 元件 3 0 遭受 N D 模式的静电放电时。此 P T L S C R 元件 3 0 的导通电压等效于 P M O S 元件 9 0 的瞬间反向击穿电压而非原触发电压 (约在 3 0 ~ 5 0 伏特之间)。当此 P T L S C R 元件被导通, 其维持电压 (h o l d i n g v o l t a g e) 则与原横向硅可控整流器的维持电压相同 (约在 1 伏特左右), 而且其导通电阻很低 (约 2 ~ 5 欧姆)。P M O S 元件 9 0 的栅极 8 2 被连接到 V D D 去, 以保持 P M O S 元件 9 0 在集成电路正常工作情形下是关闭的 (o f f)。

图 3 所示为半导体结构 2 0 0 即为 N M O S 元件 1 4 与 N T L S C R 元件 5 0 的剖面图。在图 3 中, N T L S C R 元件 5 0 与 N M O S 元件 1 4 合并在一起以节省布局面积。图 3 所示为 N T L S C R 元件 5 0 与 N M O S 元件 1 4 做在 N 型井区 / P 型基底的结构。N M O S 元件 1 4 由 N 型浓掺杂区 5 1 与 5 3 分别组成其源极与漏极, P 型基底 3 2 经由 P 型浓掺杂区 7 1 与 7 3 连接到 V S S 以提供 N M O S 元件 1 4 的基极偏压, 其栅极 5 2 则连接到前置级 1 6 。有一寄生的二极管 D n 7 0 由 N 型浓掺杂区 5 3 (也就是 N M O S 元件 1 4 的漏极) 与 P 型基底 3 2 所组成。在图 3 中, N 型浓掺杂区 7 5 在 N 型井区 5 4 与 5 8 中组成一防止锁住效应的保护圈环, 此圈环在布局上把 N M O S 元件 1 4 与 N T L S C R 元件 5 0 包围在内。N 型浓掺杂区 7 5 连接到 V D D 。

N T L S C R 元件 5 0 是由一横向控整流器与一短通道薄氧化层 N M O S 元件 9 8 所组成, 此一横向硅可控整流器由 P 型浓掺杂区 9 1 接到输出垫, N 型井区 5 8, P 型基底 3 2, 以及另一 N 型井区 5

6（由一N型浓掺杂区92接到VSS）所组成。NMOS元件98则由N型浓掺杂区92接到VSS）所组成。NMOS元件98则由N型浓掺杂区92当其源极并连接到VSS，另一N型浓掺杂区93当其漏极。N型浓掺杂区92跨接出N型井区56进入型基底32；另一N型浓掺杂区93则跨接在P型基底32与N型井区58的接面上，此N型浓掺杂区93不连接到其他地方去。NMOS元件98的栅极94则连接到VSS。

把一短通道薄氧化层NMOS元件98并入一横向硅可控整流器结构以组成NTLSCR元件50的目的，在于利用NMOS元件98的漏极93在瞬间反向击穿（snap back breakdown）情形下来触发此一横向硅可控整流器，当此NTLSCR元件遭受PS模式静电放电时。因此，NTLSCR元件50的导通电压等效于NMOS元件98的瞬间反向击穿电压而非原横向硅可控整流器的触发电压（约30～50伏特）。当此一NTLSCR元件导通时，其维持电压（Holding Voltage）与原本横向硅可控整流器的维持电压相同（约在1伏特左右），且其导通电阻很低（约在2～5欧姆）。

在图2与图3中所示是PTLSCR元件与NTLSCR元件在N型井区/P型基底的元件结构。在图4与图5中的PTLSCR元件与NTLSCR元件的动作原理与设计概念皆与在图2与图3的元件相同，只是用不同的制作过程来实现而已。

图4所示为半导体器件结构300实现于P型井区与N型基底的制作过程中，其包含了PMOS元件12与一PTLSCR元件30。PMOS元件12由P型浓掺杂区310与312构成其源极与漏极且分别连接到VDD与输出垫20，PMOS元件12的栅极则连接到前置级16。PTLSCR元件12由横向硅可控整流器（由P型井区30'6经P型浓掺杂区352连接到VDD，N型基底30

2, P型井区308, 与N型浓布区351连接到输出垫20所组成) 与一PMOS元件350合并而成。PMOS元件350的源极与漏极由P型浓掺杂区352与354分别跨做在P型井区306及另一P型井区308与N型基底302的接面而成。另有P型井区304与308经由P型浓掺杂区320连接到VSS, 包围住整个PMOS元件12与PTLSCR元件30, 以形成防止锁住效应的防护圈环。

图5所示为半导体结构400实现于P型井区/N型基底的制作过程中, 其包含了NMOS元件14与NTLSCR元件50。NMOS元件14由N型浓掺杂区420与422做在P型井区406内当其源极与漏极, NMOS元件的栅极424则连接到前置级1.6, P型井区406经由P型浓掺杂区430连接到VSS以提供NMOS元件14的基极偏压。NTLSCR元件50则由一横向硅可控整流器与一NMOS元件450所组成, 横向硅可控整流器则由P型井区408 (经由P型浓掺杂区430连接到输出垫20), N型基底302, P型井区406, 及N型浓掺杂区432 (连接到VSS) 所组成。NMOS元件450则由N型浓掺杂区432与434构成其源极与漏极, 且其栅极435连接到VSS。N型浓掺杂区434跨接在N型基底302与P型井区406的接面之间且不连接接到其他地方去。另有一N型浓掺杂区410 (连接到VDD) 做在N型基底302上, 包围住NMOS元件14与NTLSCR元件50, 而构成防止锁住效应的防护圈环。

C. 布局实施例

图6所示为图2半导体结构100的布局俯视图600, 此布局显示出紧密的布局形状图6中的A-A'线即是相对应于图2剖面图的横切线。图6中, PMOS元件12有3条互相平行的支条 (finger) 33, 此支条也就是PMOS元件12的漏极。PTLSCR

C R元件30在图6右边。此外，最外图有一防止锁住的圈环9.8围绕整个PMOS元件12与PTLSCR元件30。

图7所示为图3半导体结构200的布局俯视图700，此布局显示出紧密的布局形态。图7中的B-B'线即是相对应于图3剖面图的横切线。图7中，NMOS元件14有3条互相平行的支条53，此支条53也就是NMOS元件14的漏极。NTLSCR元件50在图7的右边。此外，最外围有一防止锁住的圈环75围绕整个NMOS元件14与MTLSCR元件50。

图6与图7为此发明在N型井区/P型基底制作过程的布局的图例。相对地，图4与图5的半导体结构300与400的布局实施例类似于图6与图7的布局图600与700所示，只是改为P型井区/N型基底制作过程。

然而本发明的布局形式不限于图6与图7中所示的例子，其他形式的布局方式也可以用来实现本发明。

D. 电路工作原理

(1) 在互补式金属氧化物半导体集成电路正常工作情形下：

在集成电路正常工作情形下，VDD接5伏特的电压源，VSS接地。此时，因PMOS元件90与NMOS元件98的栅极是连接到它们各自的源极去，PMOS元件90与NMOS元件98是在关闭的状态。而NMOS元件12与PMOS元件14（参见图1）所组成的输出缓冲器则依前置级16的信号指示工作于推动输出信号到输出垫20去。

此外，寄生的二极管 D_p60 与 D_n70 提供输出信号电压钳制（Voltage Clamping）作用。当电压讯号在输出垫20有过高或过低现象发生时，二极管 D_p60 会钳制高电压电平到约 $VDD + 0.6$ 伏特的最高电平，二极管 D_n70 会钳制低电压电平到约 $VSS - 0.6$ 伏特的最低电平。因此在正常工作情形下（VD

$D = 5\text{ V}$, $V_{SS} = 0\text{ V}$), 输出垫 20 上的电压电平会被钳制在约 5.6 伏特到 -0.6 伏特之间。

(2) 在静电放电情形下;

当集成电路浮接时, 最易被静电放电所破坏, 而静电放电对集成电路的每一支脚而言, 会有四种可能的放电模式 PS, NS, PD, 及 ND 模式 (在发明背景中已有详述), 此时本发明所加入的 PTLSCR 元件 30, NTLSCR 元件 50, 以及寄生的二极管 D_{p60} 与 D_{n70} 便会发挥保护的作用。

当 PS 模式的静电放电发生在输出垫 20 时, 此静电电压先会被传导到 NTLSCR 元件 50 的阳极 (P 型浓掺杂区 91, 在图 3 中), 然后经由 N 型井区 58 再传到 N 浓掺杂区 93, 此 N 型浓掺杂区 93 也就是 NMOS 元件 98 的漏极, 此静电电压会导致 NMOS 元件 98 漏极进入瞬间反向击穿 (snap back breakdown) 来先钳制输出垫上的电压。当瞬间反向击穿发生在 NMOS 元件的漏极, 击穿电流自 N 型井区 58 流向 P 型基底 32 会触发横向硅可控整流器的导通, 也就是把 NTLSCR 元件 50 给触发导通了。导通的 NTLSCR 元件 50 的维持 (Holding) 电压约在 1~2 伏特之间, 且其导通电阻相当低, 所以自输出垫 20 便会有一旁通路径 (经由此 NTLSCR 元件) 把静电放电的电流旁通到 V_{SS} 去。

此 NTLSCR 元件 50 具有很高的电能传导性, 故其能够在较小的布局面积下, 承受较高的静电放电电流。所以, 输出缓冲器在 PS 模式静电放电情形下, 可以被 NTLSCR 元件 50 有效地保护著。

当 NS 模式的静电放电发生在输出垫 20 时, 此负的静电电压会被传导到 NMOS 元件 14 的漏极, 也就是 (图 3 中) N 型浓掺杂区 53。寄生的二极管 D_{n70} 会正向导通来提供静电放电的电流路径, 因此在输出垫上的静电电压会被二极管 D_{n70} 钳制住, 因而保护

了此输出缓冲器。二极管在正向导通情形下，也具有高的静电放电防护能力。

当PD模式的静电放电发生在输出垫20时，此正的静电电压会被传导到PMOS元件12的漏极，也就是（图2中）P型浓掺杂区33。寄生的二极管 D_p 60会正向导通来提供静电放电的电流路径，因此在输出垫上的静电电压会被二极管 D_p 钳制住，因而保护了此输出缓冲器。 D_p 在正向导通下，也能提供高的静电放电防护能力。

当ND模式的静电放电发生在输出垫20时，此负的静电电压会被传导到PTLSCR元件30的阴极（N型浓掺杂区72，在图2中），然后经由P型基底32传到P型浓掺杂区80，此P型浓掺杂区也就是PMOS元件90的漏极。此负的静电电压会导致PMOS元件90的漏极进入瞬间反向击穿来先钳制输出垫上的负电压。当瞬间反向击穿发生在PMOS元件90的漏极，此击穿电流自N型井区34流向P型基底32会触发横向硅可控整流器的导通，也就是把PTLSCR元件30给触发导通了。导通的PTLSCR元件30的维持（Holding）电压约在-1~-2伏特之间。且导通电阻很低，所以自输出垫20便会有一旁通路径（经由此PTLSCR元件）把静电放电的电流旁通到VDD去。此PTLSCR元件30具有很高的电能传导性，故其能够在较小的布局面积下承受较高的静电放电电流。所以，输出缓冲器在ND模式的静电放电情形下，可以被PTLSCR元件30有效地保护著。

E. 结论

本发明提出一个有效的静电放电防护电路来保护互补式金属氧化物半导体输出缓冲器。此静电放电防护电路可与互补式金属氧化物半导体输出缓冲器在布局上紧密结合，故其能够在较小的布局面积下提供较高的静电放电防护能力。

互补式金属氧化物半导体输出缓冲器内含有一个把输出电平提高

的PMOS元件及一个把输出电平降低的NMOS元件。本发明的静电放电防护电路包含一个用PMOS元件触发的硅可控整流器PTLSCR元件及一个用NMOS元件触发的硅可控整流器NTLSCR元件。PTLSCR元件可与输出缓冲器内的PMOS元件合并在一起；NTLSCR元件可与输出缓冲器内NMOS元件合并在一起。此PTLSCR元件（NTLSCR元件）的导通电压等效于PMOS元件（NMOS元件）的瞬间反向击穿电压而非原横向硅可控整流器高的触发电压，故PTLSCR元件与NTLSCR元件可被设计得比互补式金属氧化物半导体输出缓冲器内的PMOS元件与NMOS元件具有较低的静电放电导通电压，所以PTLSCR元件与NTLSCR元件可以有效地保护互补式金属氧化物半导体输出缓冲器。在此发明中另有两个寄生的二极管 D_p 与 D_n ，亦被用来做静电放电防护之用。

四种模式的静电放电，PS，NS，PD，及ND模式，都被NTLSCR元件， D_n ， D_p ，及PTLSCR元件一对一地防护著。

虽然本发明中加入了PTLSCR元件与NTLSCR元件，因这两元件先天上具有很高的静电放电承受能力，其所需的元件尺寸不用很大，再加上在布局上可与输出缓冲器内的元件合并在一起，所以本发明能够在较小的布局面积下提供较高的静电放电防护能力。

本发明的电路及元件结构相容于任一CMOS和BiCMOS制作过程中，可适用于N型井区/P型基底，P型井区/N型基底，或是双井区（twin-well）的制作过程技术，增加了本发明的应用弹性。

以上所揭露的为本发明的设计思想及实施案例，但其并非用以限定本发明，任何熟悉此项技艺者，在不脱离本发明的精神和范围内，当可作些许更动与润饰，也应属本发明的保护范围之内。

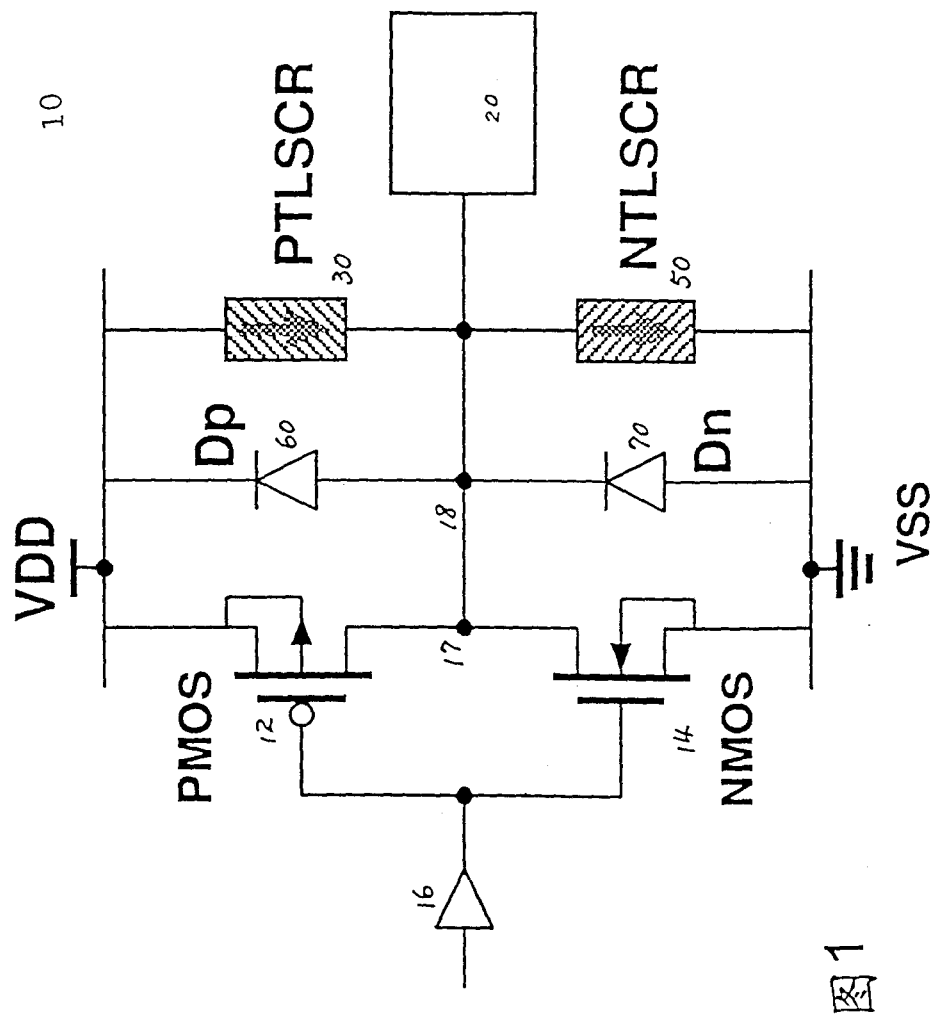
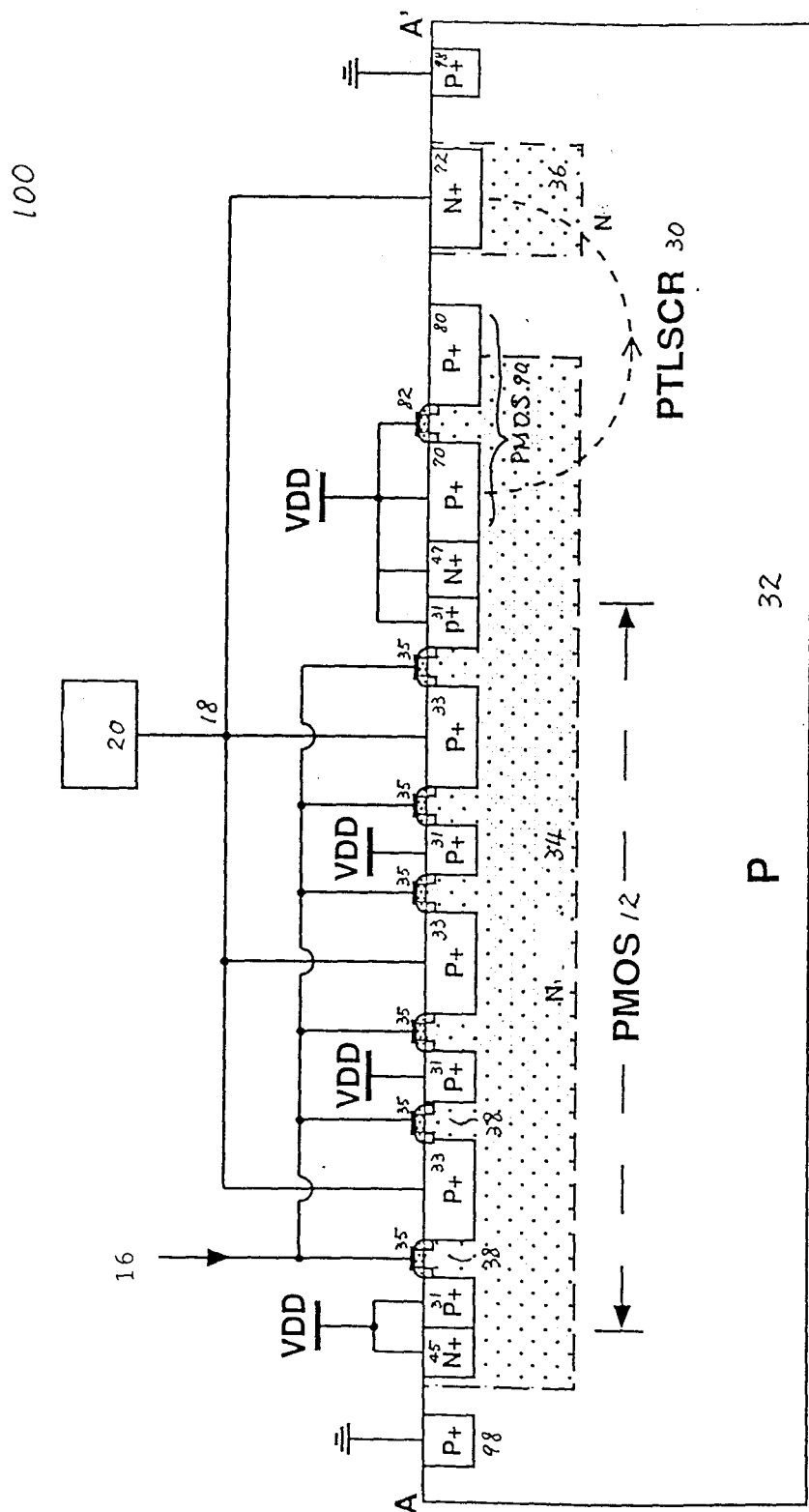


图1



2
[X]

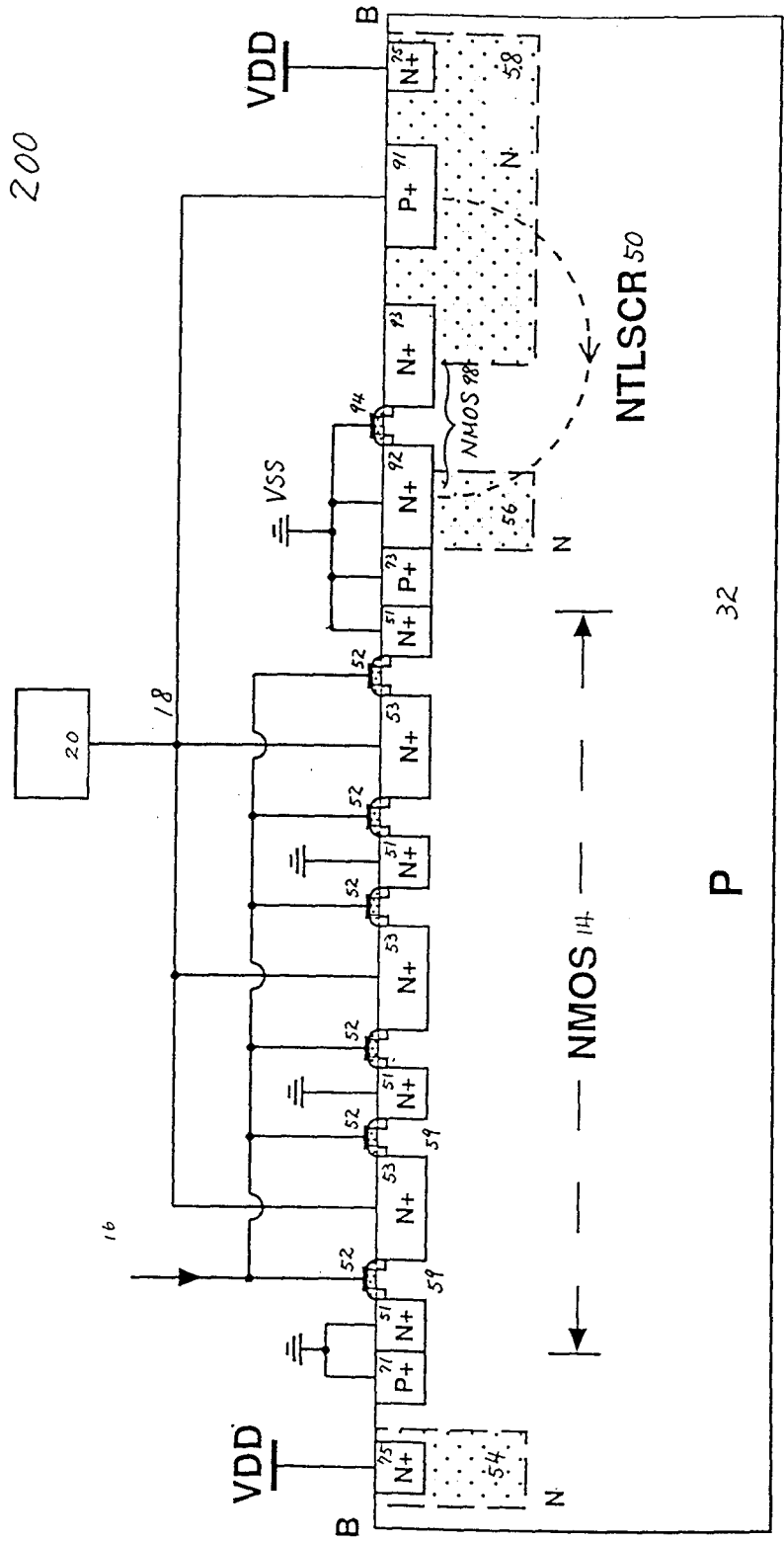


图3

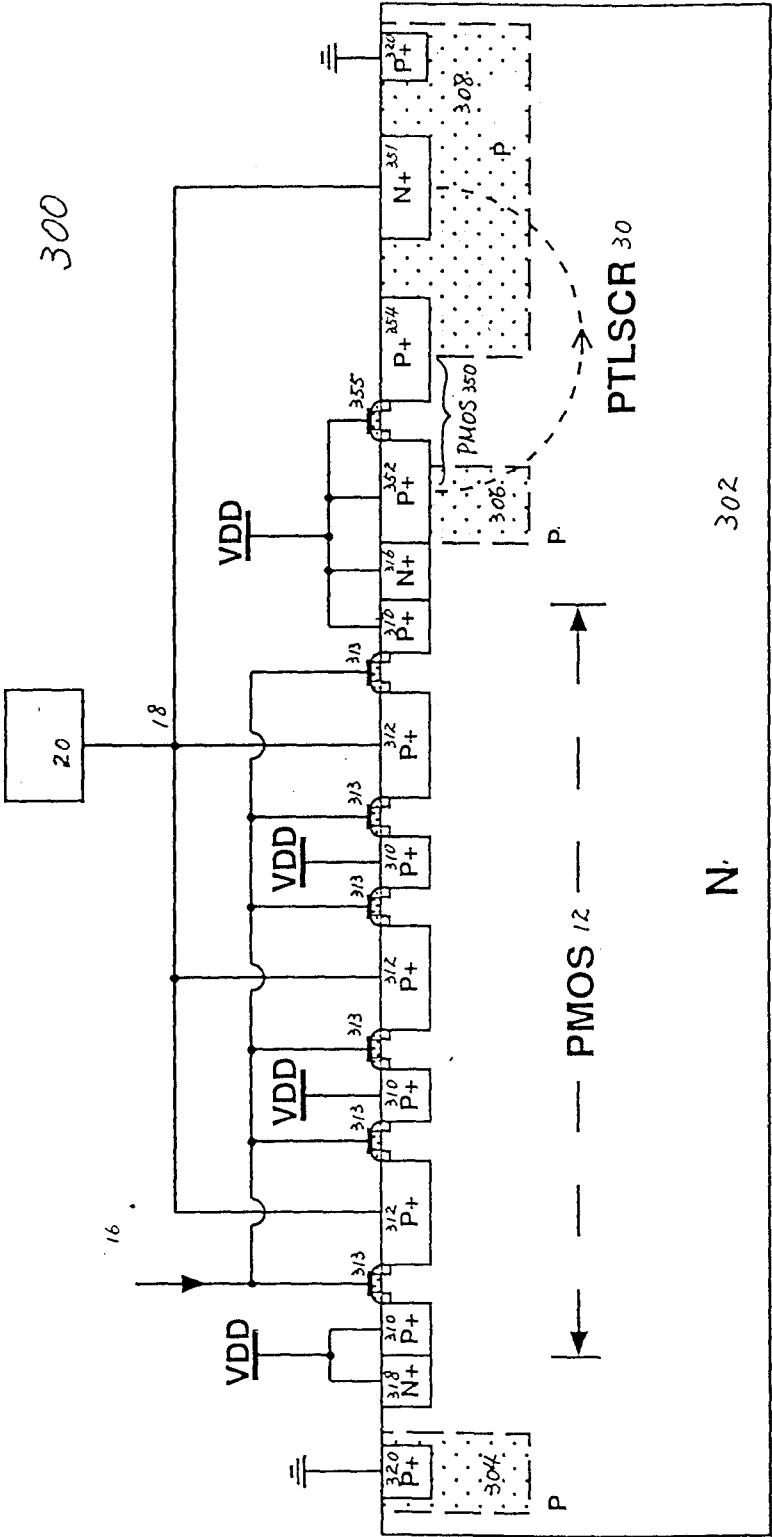


图4

